

文章编号:1007-2780(2015)02-0187-07

# 搭桥晶粒多晶硅薄膜晶体管直流电应力下的退化行为与退化机制研究

张 猛,夏之荷,周 玮,陈荣盛,王 文,郭海成\*  
(香港科技大学 先进显示与光电子技术国家重点实验室,香港)

**摘要:**研究了搭桥晶粒(BG)多晶硅薄膜晶体管(TFT)在直流电应力下的退化行为和退化机制。与普通多晶硅 TFT 相比,BG 多晶硅 TFT 展现出更好的直流应力可靠性。主要体现在 BG 多晶硅 TFT 拥有更好的直流负偏压温度不稳定性(NBTI)可靠性,更好的直流自加热(SH)可靠性,更好的直流热载流子(HC)可靠性。有源沟道区的 BG 结构是上述直流应力可靠性提高的主要原因。更好的 NBTI 的可靠性主要源于沟道内的硼氢键的形成;更好的 SH 可靠性主要源于在沟道长度方向上更快的焦耳热扩散率;更好的 HC 可靠性主要源于漏端横向电场( $E_x$ )的减弱。所有的测试结果都表明,这种高性能高可靠性的 BG 多晶硅 TFT 在片上系统中具有很大的应用前景。

**关键词:**搭桥晶粒;多晶硅;薄膜晶体管;负偏压温度不稳定性;自加热;热载流子

**中图分类号:** TN141 **文献标识码:** A **doi:**10.3788/YJYXS20153002.0187

## Degradation behaviors and degradation mechanisms of bridged-grain polycrystalline silicon thin film transistors under DC bias stresses

ZHANG Meng, XIA Zhi-he, ZHOU Wei,  
CHEN Rong-sheng, WONG Man, KWOK Hoi-sing\*

(State Key Laboratory on Advanced Displays and Optoelectronics Technologies,  
Hong Kong University of Science and Technology, Hong Kong, China)

**Abstract:** Degradation behaviors and degradation mechanisms of bridged-grain (BG) polycrystalline silicon thin film transistors (TFTs) under DC bias stresses are studied and investigated. Compared to normal poly-Si TFTs, BG poly-Si TFTs exhibits better negative bias temperature instability (NBTI), better self-heating (SH) reliability and better hot carrier (HC) reliability. All these DC reliability improvements come from BG lines inside the active channel. By selectively doping the active channel in BG poly-Si TFTs, boron-hydrogen bonds formation at oxide/channel interface and grain boundaries, Joule heat diffusion enhancement at channel length direction and lateral electric field reduction at the drain side are respectively responsible for the improved NBTI reliability, SH reliability and HC reliability. All test results indicate that such high performance and high reliable BG poly-Si TFTs have

收稿日期:2014-08-27;修订日期:2014-09-18.

基金项目:香港研究资助局主题研究计划项目(No. T23-713/11-1)

\* 通信联系人, E-mail: eekwok@ust.hk

great potential in system-on-panel applications.

**Key words:** bridged-grain; polycrystalline silicon; thin film transistors; negative bias temperature instability; self-heating; hot carrier

## 1 引言

多晶硅薄膜晶体管(TFT)技术的不断进步,推动了显示器向着高分辨率低功耗方向发展<sup>[1]</sup>。相对非晶硅 TFT 而言,多晶硅 TFT 有着较高的载流子迁移率,这使得将像素单元和驱动电路集成在同一面板上进而实现片上系统(SOP)应用成为可能<sup>[2]</sup>。为了真正实现 SOP 应用,高性能高可靠性的多晶硅 TFT 成为必不可少的关键元素。在过去的几十年间,为了制造出高性能多晶硅 TFT,很多的工艺方法被提出并加以应用<sup>[3-7]</sup>。对于多晶硅 TFT 性能的改良,主要集中在对栅氧的替换<sup>[3]</sup>,对栅氧与沟道的界面处的处理<sup>[4]</sup>以及对有源区沟道的调整<sup>[5-7]</sup>。在有源区沟道的处理方面,工艺方法主要包括以下 3 个方面:离子钝化的应用<sup>[5]</sup>,高温退火处理<sup>[6]</sup>以及纳微结构的整合<sup>[7]</sup>。虽然这些工艺方法可以对器件性能带来一定程度的改善,但同时也衍生出一些其他问题,比如工艺稳定度及可靠性问题<sup>[5-6]</sup>,与当前工业标准工艺流程不兼容等<sup>[7]</sup>。最近,笔者研究团队发明了搭桥晶粒(BG)技术<sup>[8-11]</sup>应用于有源区的改良。通过在沟道区选择性地注入掺杂,充分有效利用晶粒尺寸效应(grain size effect)<sup>[8]</sup>,短沟道效应(short channel effect)<sup>[9]</sup>和多结效应(multijunction effect)<sup>[10-11]</sup>,使多晶硅 TFT 的性能得到了全方位的改善。

对于 p 型多晶硅 TFT 而言,负偏压温度不稳定性(NBTI)<sup>[12-14]</sup>,自加热(SH)<sup>[15-17]</sup>和热载流子(HC)<sup>[18-20]</sup>是引起器件退化的 3 个最主要的因素。本文将系统地研究 BG 多晶硅 TFT 在不同的直流应力下(直流 NBTI 应力,直流 SH 应力和直流 HC 应力)的退化行为和退化机制。与普通的多晶硅 TFT 相比,BG 多晶硅 TFT 在上述 3 个方面可靠性均有(较大)改善。更好的负偏压温度不稳定性主要源于沟道内的硼氢键的形成;更好的自加热可靠性主要源于焦耳热在沟道长度方向有着更快的扩散率;更好的热载流子可靠性主要源于漏端横向电场( $E_x$ )的减弱。

## 2 BG 多晶硅 TFT 的制造工艺

首先在 10.16 cm (4 in) 硅晶片生长出 500 nm 的热氧化薄膜作为衬底。然后在上层用低压化学气相沉积(LPCVD)方法淀积一层 55 nm 的非晶硅薄膜作为有源区。接着在非晶硅薄膜表面淀积一层 5 nm 的镍。然后立刻在氮气氛围下进行温度为 600 °C 时长为 6 h 的退火,让非晶硅转化为多晶硅。退火完毕以后,用硫酸清洗多晶硅表面残余的镍。之后用 LPCVD 淀积一层 50 nm 厚的 SiO<sub>2</sub> 做为 BG 沟道注入的遮掩层。接着,在硅片表面涂上一层光刻胶并将其光刻成周期为 1 μm 占空比为 50% 的光栅,如图 1(a) 所示。紧接着对其进行计量为  $2 \times 10^{15} / \text{cm}^2$  的硼注入。硼注入以后,洗掉光刻胶和之前淀积的遮掩层。然后进行有源区的光刻和 70 nm 厚的 LPCVD SiO<sub>2</sub> 栅氧的淀积。接下来溅射 300 nm 厚的铝并光刻为栅电极。源漏区通过自对准的硼注入来进行定

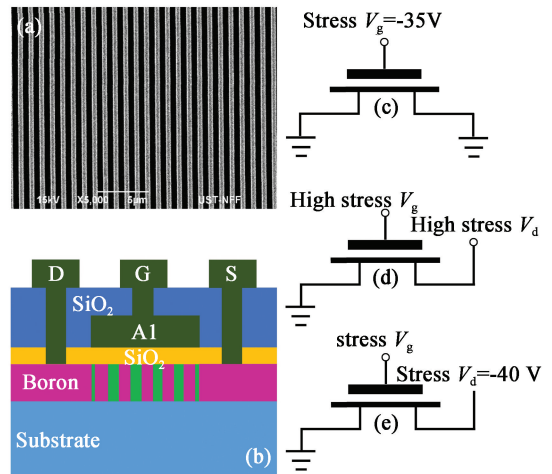


图 1 (a) 曝光后的 BG 图形; (b) BG 多晶硅 TFT 横截面示意图; (c) 负偏压温度不稳定性电应力示意图; (d) 自加热电应力示意图; (e) 热载流子电应力示意图。

Fig. 1 (a) BG pattern after exposure; (b) Schematic cross-section of BG polycrystalline Si TFTs; (c) Stress condition of NBTI; (d) Stress condition of SH; (e) Stress condition of HC.

义。源漏区定义完成以后,淀积 500 nm 厚的 LPCVD SiO<sub>2</sub> 作为钝化隔离层。通过干法湿法混合刻蚀,打开接触孔。紧接着淀积 700 nm 厚的铝硅并光刻为源漏栅电极。最后所有硅片都进行 420 °C、30 min 的烧结处理。BG 多晶硅 TFT 横截面示意图如图 1(b)所示。为了进行相关比较,普通多晶硅 TFT 也被同时流片。

本文测试使用的所有多晶硅 TFTs 的沟道宽度(W)和沟道长度(L)分别为 10 μm 和 12 μm。为了衡量普通多晶硅 TFT 和 BG 多晶硅 TFT 的直流可靠性,3 组不同的直流电应力(NBTI, SH 和 HC)被选择,如图 1(c),1(d),和 1(e)所示。器件的退化用开态电流(I<sub>on</sub>)退化率和阈值电压(V<sub>th</sub>)漂移值进行量化。

### 3 实验结果与讨论

图 2 为相同 W/L 的普通多晶硅 TFT 和 BG 多晶硅 TFT 转移曲线比较。可以很明显的看到,与普通多晶硅 TFT 相比,BG 多晶硅 TFT 拥有更高的 I<sub>on</sub>,更低的关态电流,更小的 |V<sub>th</sub>|。更值得一提的是,通过对沟道进行 BG 处理,比起普通多晶硅 TFT,器件的载流子迁移率提高了 1.5

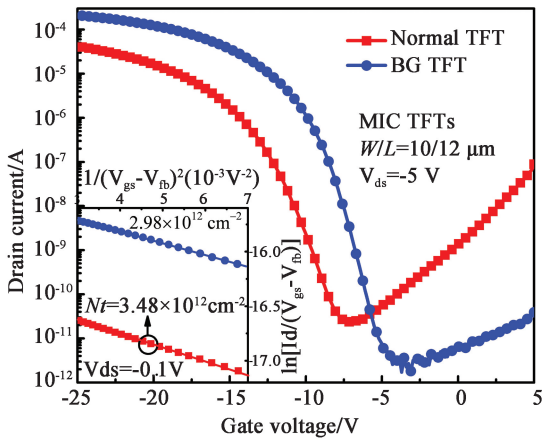


图 2 相同 W/L 的普通多晶硅 TFT 和 BG 多晶硅 TFT 转移曲线比较。插图是普通多晶硅 TFT 和 BG 多晶硅的  $1/(V_{gs}-V_{fb})^2$  vs  $\ln[I_d/(V_{gs}-V_{fb})]$  关系依赖图。

Fig. 2 Transfer curve comparison between normal poly-Si TFT and BG poly-Si TFT with the same W/L. The inset is  $1/(V_{gs}-V_{fb})^2$  vs  $\ln[I_d/(V_{gs}-V_{fb})]$  for both normal poly-Si TFTs and BG poly-Si TFTs.

倍,达到 65 cm<sup>2</sup>/Vs。BG 多晶硅 TFTs 性能的大幅改善主要归因于 3 个效应,晶粒尺寸效应<sup>[8]</sup>、短沟道效应<sup>[9]</sup>和多结效应<sup>[10-11]</sup>。

#### 3.1 负偏压温度不稳定性

图 3 为负偏压温度不稳定性电应力下,普通多晶硅 TFT 的转移曲线在 V<sub>ds</sub> = -0.1 V 和 -5 V 下的退化图。典型的负偏压温度不稳定性退化行为可以被清楚地观察到:V<sub>th</sub> 向负方向漂移。在栅氧\沟道界面处和晶界上的缺陷态的形成<sup>[12]</sup>及在栅氧中固定电荷的产生<sup>[13]</sup>是多晶硅 TFT 负偏压温度不稳定的主要成因。如图 3 和图 4 所示,对于普通多晶硅 TFT,经过 10 000 s 的 NBTI 应力后,器件的 V<sub>th</sub> 漂移了 -4.5 V。而对于 BG 多晶硅 TFT,在相同时间的 NBTI 应力作用下,器件的 V<sub>th</sub> 只漂移了 -1.1 V。很明显,BG 结构可以大幅度地改善器件的负偏压温度不稳定性。对于多晶硅 TFT 的负偏压温度不稳定性,无论是栅氧\沟道界面处和晶界上的缺陷态的形成,还是栅氧中固定电荷的产生,它们都与在栅氧\沟道界面处和晶界上的硅氢键的断裂有关。对沟道选择性的硼注入,使后续工艺中有机会生成硼氢键<sup>[21-22]</sup>。而硼氢键的电离解能要高于硅氢键<sup>[23]</sup>,因此在相同的负偏压温度不稳定性应力条件下,在 BG 多晶硅 TFT 中,更少的硅氢键会被破坏,进而改善了器件的偏压温度不稳定性。

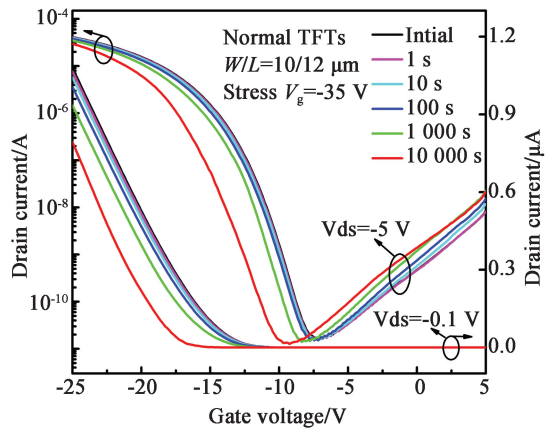


图 3 负偏压温度不稳定性电应力下普通多晶硅 TFT 的转移曲线在 V<sub>ds</sub> = -0.1 V 和 -5 V 下的退化图。

Fig. 3 Transfer curve degradation of normal poly-Si TFTs under NBTI stress, measured at V<sub>ds</sub> = -0.1 V and -5 V

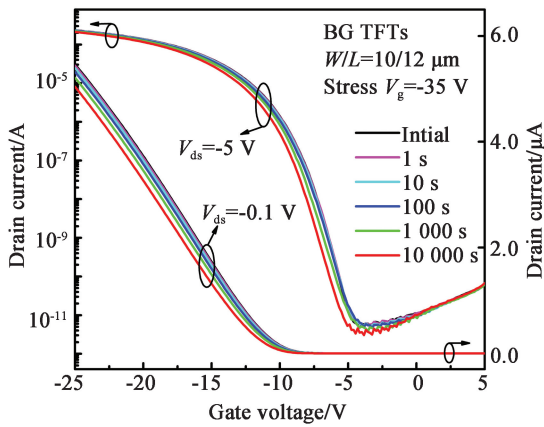


图 4 负偏压温度不稳定性电应力下 BG 多晶硅 TFT 的转移曲线在  $V_{ds} = -0.1$  V 和  $-5$  V 下的退化图。

Fig. 4 Transfer curve degradation of BG poly-Si TFTs under NBTI stress measured at  $V_{ds} = -0.1$  V and  $-5$  V.

### 3.2 自加热

多晶硅 TFT 的自加热退化主要受高功率产生的焦耳热控制<sup>[15-17]</sup>。因此为了更加客观地比较普通多晶硅 TFTs 和 BG 多晶硅 TFT 的自加热可靠性,功率密度( $\rho$ )将被作为应力参数用于以下内容的讨论。

图 5 为自加热应力(功率密度  $\rho = 75.8$  mW/ $\mu\text{m}^2$ )下,普通多晶硅 TFT 的转移曲线在  $V_{ds} = -0.1$  V 和  $-5$  V 下的退化图。器件性能在

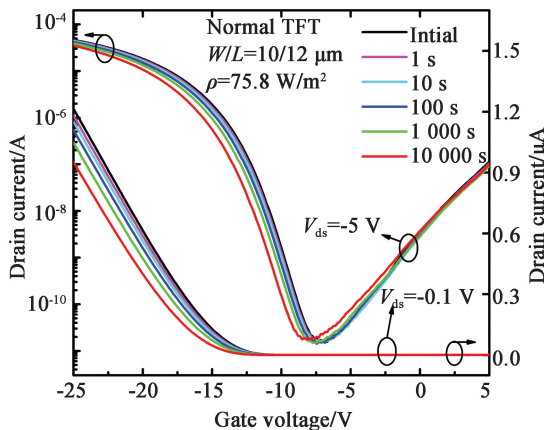


图 5 自加热电应力下普通多晶硅 TFT 的转移曲线在  $V_{ds} = -0.1$  V 和  $-5$  V 下的退化图。

Fig. 5 Transfer curve degradation of normal poly-Si TFTs under SH stress, measured at  $V_{ds} = -0.1$  V and  $-5$  V.

$I_{on}$  和  $V_{th}$  都有所退化。晶界处的弱的硅硅键和硅氢键在自加热应力下被打破,在整个沟道内和栅氧中分别产生悬挂键和固定电荷,导致器件性能退化<sup>[15-17]</sup>。如图 5 和图 6 所示,经过 10 000 s 的自加热应力,普通 TFT 的  $I_{on}$  退化了一 28.4%。而在相同时间相同的自加热功率密度应力作用下,BG 多晶硅 TFT 的  $I_{on}$  只退化了不到 10.2%。众所周知,对于减轻自加热效应,加快焦耳热的传导速率是一种高效途径<sup>[15-17]</sup>。在 BG 多晶硅 TFT,沟道里的 BG 线是被硼重掺杂的,因而具有极低的电阻率。在沟道中的 BG 线上,几乎不会产生焦耳热,因此在未被掺杂的区域生成的焦耳热可以迅速的在沟道方向被传导出去<sup>[15]</sup>,从而使器件具有更好的自加热可靠性。

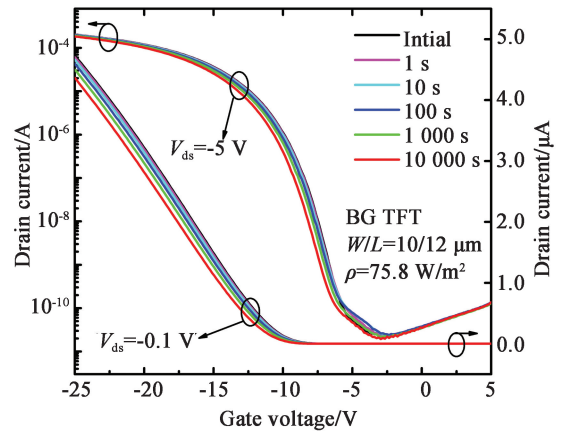


图 6 自加热电应力下 BG 多晶硅 TFT 的转移曲线在  $V_{ds} = -0.1$  V 和  $-5$  V 下的退化图。

Fig. 6 Transfer curve degradation of BG poly-Si TFTs under SH stress, measured at  $V_{ds} = -0.1$  V and  $-5$  V.

### 3.3 热载流子

图 7 为热载流子应力下普通多晶硅 TFT 的转移曲线在  $V_{ds} = -0.1$  V 和  $-5$  V 下的退化图。如图 7 所示, $I_{on}$  退化,亚阈值斜率保持不变,关态电流降低等典型的热载流子退化行为<sup>[2]</sup>可以被清楚的观察到。究其原因,是因为漏端附近的载流子在应力产生的高电场( $E_x$ )作用下获得足够的能量变成热载流子<sup>[20]</sup>,在碰撞离化的同时在界面及晶界处产生缺陷态进而带来漏端势垒的增加<sup>[18]</sup>,最终导致器件退化。经过 10 000 s 的应力测试,在低的漏压测试下( $V_{ds} = -0.1$  V),器件的  $I_{on}$  退化率接近 100%。我们还可以观察到在高的漏压测试下( $V_{ds} = -5$  V),器件的  $I_{on}$  退化率恢复到

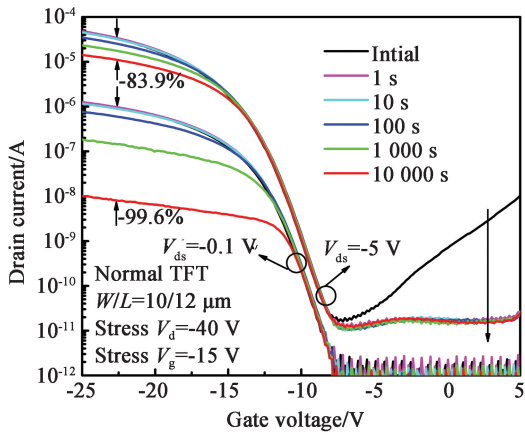


图 7 热载流子电应力下普通多晶硅 TFT 的转移曲线在  $V_{ds}=0.1\text{ V}$  和  $-5\text{ V}$  下的退化图。

Fig. 7 Transfer curve degradation of normal poly-Si TFTs under HC stress, measured at  $V_{ds}=-0.1\text{ V}$  and  $-5\text{ V}$ .

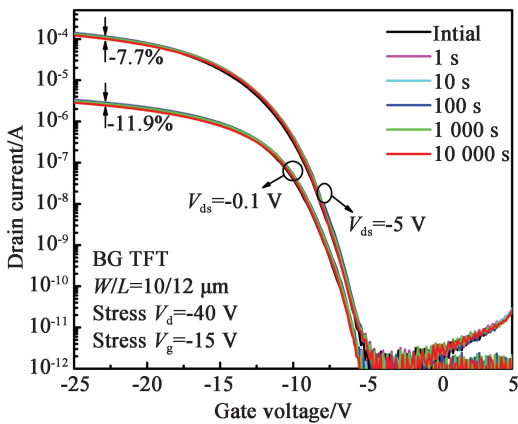


图 8 热载流子电应力下 BG 多晶硅 TFT 的转移曲线在  $V_{ds}=-0.1\text{ V}$  和  $-5\text{ V}$  下的退化图。

Fig. 8 Transfer curve degradation of BG poly-Si TFTs under HC stress, measured at  $V_{ds}=-0.1\text{ V}$  and  $-5\text{ V}$ .

83.9%，这主要是由漏致势垒降低(DIBL)效应引起的<sup>[1]</sup>。而对于 BG 多晶硅 TFT，在经历同样的 10 000 s 热载流子应力后，器件的  $I_{on}$  退化率在  $V_{ds}=-0.1\text{ V}$  下只有 11.9%，在  $V_{ds}=-5\text{ V}$  下也只有 7.7%，如图 8 所示。综上可知，通过在沟道中应用 BG 结构，器件的热载流子可靠性得到极大改善。我们猜测 BG 结构之所以可以改善热载流子可靠性是因为漏端的横向电场被 BG 线削弱。

为了验证以上的观点，我们对普通多晶硅 TFT 和 BG 多晶硅 TFT 进行了相关的电场模拟，如图 9 所示。对于相关的电场模拟，我们采用

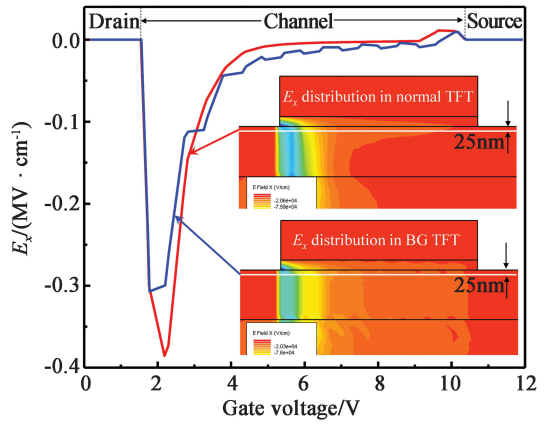


图 9 热载流子电应力下，沿着漏端到源端，在离栅氧 25 nm 下的沟道内，普通多晶硅 TFT 和 BG 多晶硅 TFT 横向电场模拟值。插图是普通多晶硅 TFT 和 BG 多晶硅 TFT 的横向电场在热载流子电应力下的模拟分布图。

Fig. 9 Extracted  $E_x$  along the channel at 25 nm below gate oxide for normal poly-Si TFT and BG poly-Si TFTs under HC stress. The inset is  $E_x$  distribution in normal poly-Si TFT and BG poly-Si TFTs under HC stress.

了 Silcaco ATLAS 商用模拟软件。所有的物理模型全部基于多晶硅连续缺陷模型<sup>[2]</sup>。热载流子应力下，可以很明显地观察到横向电场强度被 BG 线有效的削弱，因而可以带来更为良好的热载流子可靠性表现。

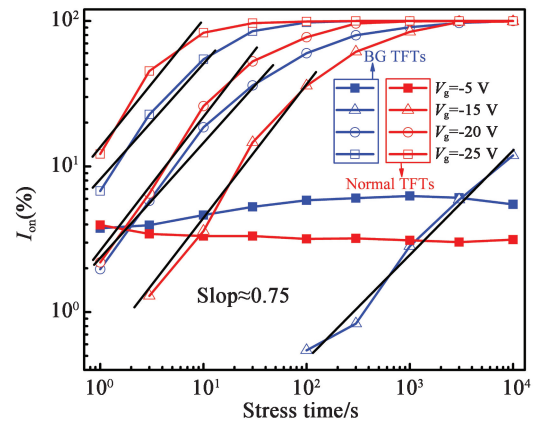


图 10 不同栅压电应力下，普通多晶硅 TFT 和 BG 多晶硅 TFT 的开态电流退化率与应力时间的依赖关系示意图。

Fig. 10  $I_{on}$  degradation dependent on stress time under various stress  $V_g$  with fixed stress  $V_d=-40\text{ V}$  for normal poly-Si TFTs and BG poly-Si TFTs.

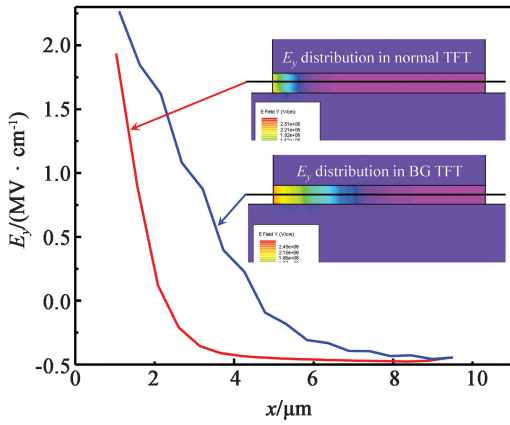


图 11 关态应力下,沿着漏端到源端,普通多晶硅 TFT 和 BG 多晶硅 TFT 栅氧中间纵向电场模拟值。插图是普通多晶硅 TFT 和 BG 多晶硅 TFT 的横向电场在热载流子电应力下的模拟分布图。

Fig. 11 Extracted  $E_y$  at the middle of gate oxide along drain side to source side for normal poly-Si TFT and BG poly-Si TFT under off-state stress. The inset is  $E_y$  distribution in normal poly-Si TFT and BG poly-Si TFTs under off-state stress.

如图 10 所示,器件在固定漏端电应力( $V_d = -40$  V),不同的  $V_g$  应力作用下的可靠性表现也被研究。对于开态应力( $|V_g| > |V_{th}|$ ),与上述结果一致,BG 多晶硅 TFT 比普通多晶硅 TFT 展现出更高的可靠性。我们还发现无论对于普通多晶硅 TFT 还是 BG 多晶硅 TFT,更大的  $|V_g|$  应力带来了更显著的器件退化。这一退化行为与 n 型多晶硅 TFT 不同<sup>[18]</sup>。对于 n 型多晶硅 TFT 而言,最强热载流子退化发生在  $V_g = V_{th}$  附近<sup>[18]</sup>,因为如果  $V_g > V_{th}$ ,漏端的横向电场会被削弱;而

如果  $V_g < V_{th}$ ,则沟道中没有载流子生产。对于 p 型多晶硅 TFT,随着  $|V_g|$  应力的增加,在源端附近负偏压温度不稳定性退化将会被引入<sup>[12]</sup>,从而加剧整体器件的退化。对于关态应力( $|V_g| < |V_{th}|$ ),器件的  $I_{on}$  不是退化而是被提升并且退化行为与开态应力完全不一样,如图 10 中方块连线所示。并且 BG 多晶硅 TFT 的  $I_{on}$  上升幅度要大于普通多晶硅的  $I_{on}$  上升幅度。我们猜测这主要是由于电子在纵向电场作用下注入到栅氧中所致<sup>[2]</sup>。

为了验证以上的推断,我们模拟了在关态应力下普通多晶硅 TFT 和 BG 多晶硅 TFT 纵向电场分布,如图 11 所示。可以看到在漏端附近关态应力会产生一个正向的纵向电场( $E_y$ ),沟道中的电子在此纵向电场的作用下有机会注入到栅氧中,从而使得  $I_{on}$  上升。通过模拟发现,BG 多晶硅 TFT 的纵向电场值略大与普通多晶硅 TFT 的纵向电场值,这一模拟结果与在关态应力下,BG 多晶硅 TFT 的  $I_{on}$  上升幅度略大与普通多晶硅  $I_{on}$  的上升幅度的测试表现相吻合。

## 4 结 论

研究了 BG 多晶硅薄膜晶体管在直流电应力下的退化行为及退化机制。通过与普通多晶硅 TFT 比较,BG 多晶硅 TFT 展现出的负偏压温度,自加热可靠性及热载流子可靠性。BG 多晶硅 TFT 良好的直流应力可靠性主要归因于有源沟道内的 BG 结构。通过选择性的注入 BG 线,可以带来硼氢键的形成,更好的沟道方向热传导以及漏端横向电场的降低。通过以上的讨论,这种高性能高可靠性的 BG 多晶硅 TFT 在 SOP 的应用中会有巨大的潜力。

## 参 考 文 献:

- [1] Zhang M, Wang M, Wang H, *et al.* Degradation of metal-induced laterally crystallized n-type polycrystalline silicon thin-film transistors under synchronized voltage stress [J]. *IEEE Trans. Electron Devices*, 2009, 56 (11): 2726-2732.
- [2] Zhang M, Wang M, Lu X, *et al.* Analysis of degradation mechanisms in low-temperature polycrystalline silicon thin-film transistors under dynamic drain stress [J]. *IEEE Trans. Electron Devices*, 2012, 59 (6): 1730-1737.
- [3] Pan T M, Chan C L, Wu T W. High performance CF<sub>4</sub> plasma-treated polysilicon TFTs using a high-k PrTiO<sub>3</sub> gate dielectric [J]. *Electrochem. Solid-State Lett.*, 2009, 12(8): G44-G46.
- [4] Zhang M, Zhou W, Chen R, *et al.* A simple method to grow thermal SiO<sub>2</sub> interlayer for high-performance SPC poly-Si TFTs using Al<sub>2</sub>O<sub>3</sub> gate dielectric [J]. *IEEE Electron Device Lett.*, 2014, 35(5): 548-550.

- [5] Xu M, Wang M, Zhang D, *et al.* Hydrogenation effects on the hot-carrier endurance of metal induced laterally crystallized n-type polycrystalline silicon thin film transistors [J]. *Jpn. J. Appl. Phys.*, 2008, 47(5R): 3403-3407.
- [6] Wang M, Meng Z, Wong M. The effects of high temperature annealing on metal-induced laterally crystallized polycrystalline silicon [J]. *IEEE Trans. Electron Devices*, 2000, 47(11): 2061-2067.
- [7] Chen H J, Jhang J R, Huang C J, *et al.* Poly-Si TFTs with three-dimensional finlike channels fabricated using nanoimprint technology [J]. *IEEE Electron Device Lett.*, 2011, 32(2): 155-157.
- [8] Zhou W, Meng Z, Zhao S, *et al.* Bridged-grain solid-phase-crystallized polycrystalline-silicon thin-film transistors [J]. *IEEE Electron Device Lett.*, 2012, 33(10): 1414-1416.
- [9] Zhao S, Meng Z, Zhou W, *et al.* Bridged-grain polycrystalline silicon thin-film transistors [J]. *IEEE Trans. Electron Devices*, 2013, 60(6): 1965-1970.
- [10] Zhang M, Zhou W, Chen R, *et al.* High-performance polycrystalline silicon thin-film transistors integrating sputtered aluminum-oxide gate dielectric with bridged-grain active channel [J]. *Semicond. Sci. Technol.*, 2013, 28(11): 115003.
- [11] Zhou W, Zhao S Y, Chen R S, *et al.* Study of the characteristics of solid phase crystallized bridged-grain poly-Si TFTs [J]. *IEEE Trans. Electron Devices*, 2014, 61(5): 1410-1416.
- [12] Chen C Y, Lee J W, Wang S D, *et al.* Negative bias temperature instability in low-temperature polycrystalline silicon thin-film transistors [J]. *IEEE Trans. Electron Devices*, 2006, 53(12): 2993-3000.
- [13] Hu C, Wang M, Zhang B, *et al.* Negative bias temperature instability dominated degradation of metal-induced laterally crystallized p-type polycrystalline silicon thin-film transistors [J]. *IEEE Trans. Electron Devices*, 2009, 56(4): 587-594.
- [14] Zang M, Zhou W, Chen R, *et al.* Water-enhanced negative bias temperature instability in p-type low temperature polycrystalline silicon thin film transistors [J]. *Microelectron. Reliab.*, 2014, 54(1): 30-32.
- [15] Hashimoto S, Uraoka Y, Fuyuki T, *et al.* Suppression of self-heating in low-temperature polycrystalline silicon thin-film transistors [J]. *Jpn. J. Appl. Phys.*, 2007, 46(4R): 1387.
- [16] Wang H, Wang M, Yang Z, *et al.* Stress power dependent self-heating degradation of metal-induced laterally crystallized n-Type polycrystalline silicon thin-film transistors [J]. *IEEE Trans. Electron Devices*, 2007, 54(12): 3276-3284.
- [17] Mariucci L, Gaucci P, Valletta A, *et al.* Edge effects in self-heating-related instabilities in p-channel polycrystalline-silicon thin-film transistors [J]. *IEEE Electron Device Lett.*, 2011, 32(12): 1707-1709.
- [18] Xue M, Wang M, Zhu Z, *et al.* Degradation behaviors of metal-induced laterally crystallized n-type polycrystalline silicon thin-film transistors under DC bias stresses [J]. *IEEE Trans. Electron Devices*, 2007, 54(2): 225-232.
- [19] Tai Y H, Huang S C, Chen P T, *et al.* Generalized hot-carrier degradation and its mechanism in poly-si TFTs under DC/AC operations [J]. *IEEE Trans. Device Mater. Reliab.*, 2011, 11(1): 194-200.
- [20] Uraoka Y, Hatayama T, Fuyuki T, *et al.* Hot carrier effects in low-temperature polysilicon thin-film transistors [J]. *Jpn. J. Appl. Phys.*, 2001, 40(4S): 2833.
- [21] Pankove J I, Zanzucchi P J, Magee C W, *et al.* Hydrogen localization near boron in silicon [J]. *Appl. Phys. Lett.*, 1985, 46(4): 421-423.
- [22] Sas M, Annen A, Jacob W. Hydrogen bonding in plasma-deposited amorphous hydrogenated boron films [J]. *Appl. Phys.*, 1997, 82(4): 1905-1908.
- [23] Speight J G. *Lange's Handbook of Chemistry* [M]. McGraw-Hill New York, 2005.